

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017757

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H01L 33/00

(21)Application number : 2001-197879

(71)Applicant : SANKEN ELECTRIC CO LTD

(22)Date of filing : 29.06.2001

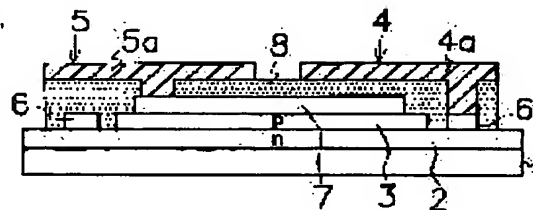
(72)Inventor : KOBAYASHI NOBUO

## (54) FLIP-CHIP SEMICONDUCTOR LIGHT EMITTING ELEMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve output efficiency of a flip-chip semiconductor light emitting element and form uniform optical distribution over the entire part of light emitting surface.

**SOLUTION:** This flip-chip semiconductor light emitting element comprises a light transmissive substrate (1), a first semiconductor layer (2) of a first conductivity layer on the substrate (1), a second semiconductor layer (3) of a second conductivity which is different from the first conductivity layer on the first semiconductor layer (2), a first electrode (4) electrically connected to the first semiconductor layer (2) and a second electrode (5) electrically connected to the second semiconductor layer (3). Since a first connecting layer (6) provided on the first electrode (4) is connected to the first semiconductor layer (2) and is formed surrounding the second electrode (5), the current flows passing almost the entire peripheral part of the second electrode (5).



⑦

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2003-17757  
(P2003-17757A)

(43) 公開日 平成15年 1 月17日 (2003. 1. 17)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 33/00

識別記号

F I

H 0 1 L 33/00

テーマコード(参考)

N 5 F 0 4 1  
C

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願2001-197879(P2001-197879)

(22) 出願日 平成13年 6 月29日 (2001. 6. 29)

(71) 出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72) 発明者 小林 信夫

埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

(74) 代理人 100082049

弁理士 清水 敬一

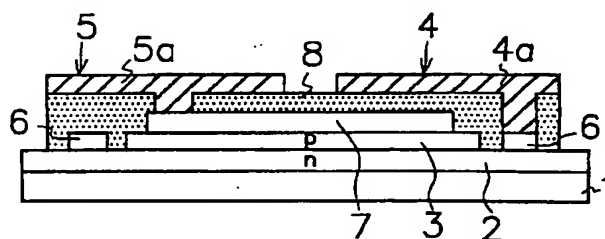
Fターム(参考) 5F041 AA05 CA04 CA13 CA40 CA74

(54) 【発明の名称】 フリップチップ形半導体発光素子

(57) 【要約】

【課題】 フリップチップ形半導体発光素子の光取出し効率を向上すると共に、発光面全体に均一な光分布を形成する。

【解決手段】 光透過性の基板(1)と、基板(1)上に積層された第1の導電型の第1の半導体層(2)と、第1の半導体層(2)上に積層され且つ第1の導電型とは異なる第2の導電型の第2の半導体層(3)と、第1の半導体層(2)に電気的に接続された第1の電極(4)と、第2の半導体層(3)に電気的に接続された第2の電極(5)とをフリップチップ形半導体発光素子に設ける。第1の電極(4)に設けられる第1の接続層(6)は、第1の半導体層(2)に接続され且つ第2の電極(5)を包囲するので、第2の電極(5)の略全ての周辺部を通り電流が流れる。



## 【特許請求の範囲】

【請求項 1】 光透過性の基板と、該基板上に積層された第 1 の導電性の第 1 の半導体層と、該第 1 の半導体層上に積層され且つ第 1 の導電性とは異なる第 2 の導電性の第 2 の半導体層と、前記第 1 の半導体層に電氣的に接続された第 1 の電極と、前記第 2 の半導体層に電氣的に接続された第 2 の電極とを備え、

前記第 1 の電極は、前記第 2 の電極を包囲して配置され且つ前記第 1 の半導体層に電氣的に接続された第 1 の接続層を備えたことを特徴とするフリップチップ形半導体発光素子。

【請求項 2】 前記第 1 の電極は、前記第 1 の半導体層の外周に沿って環状に形成された前記第 1 の接続層に電氣的に接続された第 1 の電極層を備え、前記第 2 の電極は、前記第 2 の半導体層に電氣的に接続された第 2 の接続層と、該第 2 の接続層に電氣的に接続された第 2 の電極層とを備えた請求項 1 に記載のフリップチップ形半導体発光素子。

【請求項 3】 前記第 1 の接続層は、前記第 2 の接続層を包囲する請求項 2 に記載のフリップチップ形半導体発光素子。

【請求項 4】 前記第 1 の電極層は、絶縁層を介して前記第 2 の接続層上に形成された請求項 2 又は 3 に記載のフリップチップ形半導体発光素子。

【請求項 5】 前記第 1 の電極層は、前記第 2 の電極層と同一の高さに形成される請求項 4 に記載のフリップチップ形半導体発光素子。

【請求項 6】 前記第 1 の半導体層は、前記基板を兼ねる請求項 1 に記載のフリップチップ形半導体発光素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体発光素子、特に広い発光面を有するフリップチップ半導体発光素子の構造に関する。

## 【0002】

【従来の技術】例えば、特開平 6-338632 号公報は、サイズを小さくすると共に、小さいサイズの発光素子から出る発光を極力遮らずに外部に取り出し、発光効率を向上できる窒化ガリウム系化合物半導体発光素子を示す。図 7 及び図 8 に示すように、この窒化ガリウム系化合物半導体発光素子は、サファイア基板(51)上に n 型層(52)と p 型層(53)とを順に積層し、p 型層(53)の一部をエッチングして、n 型層(52)を露出させ、n 型層(52)の上に電極(54)と、p 型層(53)の上に電極(58)が形成される。ボンディング部(56)を介して電極(54)及び(55)に接続される金線(57)は、ワイヤボンディングにより図示しないリードフレームに接続される。p 型層(53)の電極(58)に接続され、p 型層(53)の上面の略全体に形成された電極(55)は、p 型層(53)とオーミック接触を得る金属よりなる透光性の電極として形成され、透明な電極(55)

を介して発光素子から放出される発光を電極(55)によりあまり遮られずに外部に取り出すことができる。非常に薄く蒸着又はスパッタリングにより透光性となる薄さで金、ニッケル、白金等の金属を p 型層(53)上に形成すれば、透光性の電極(55)が得られる。

【0003】また、例えば特開 2000-114595 公報に示されるように、発光素子から十分な量の光を取り出すフリップチップ型の GaN 系化合物半導体発光素子は公知である。この GaN 系化合物半導体発光素子は、図 9 及び図 10 に示すように、基板(61)上に n 型層(62)及び p 型層(63)が順に積層され、図 9 に示すように、p 型層(63)の右端部をエッチングで除去することにより、長方形の n 型層(62)のコンタクト面(62a)が平面形状で露出される。p 型層(63)の略全面に成膜したオーミック接続可能な光透過性の金属薄膜を p 側光透過性電極(64)とし、p 側光透過性電極(64)の表面にボンディング用の p 側ボンディング電極(65)が金属蒸着法によって形成される。p 側光透過性電極(64)と n 型層(62)のコンタクト面(62a)との間には、シリコン酸化膜やシリコン窒化膜を利用した光透過性の絶縁膜(66)が成膜される。光反射率の高い素材の n 側ボンディング電極(67)は、p 側ボンディング電極(65)と同じ材質とし、絶縁膜(66)により被覆されないコンタクト面(62a)にオーミック接続され、絶縁膜(66)の略表面全体に一樣な厚さで形成される。n 側ボンディング電極(67)は、コンタクト面(62a)に接合される基部(67a)と、p 側光透過性電極(64)を覆う絶縁膜(66)に重合するボンディング部(67b)とを有する。

## 【0004】

【発明が解決しようとする課題】特開平 6-338632 号公報に示される窒化ガリウム系化合物半導体発光素子の構造では、図 7 及び図 8 に示すように、光透過率の高い基板材料を使用するため、発光素子からの光取出効率は本来高いはずであるが、種々の問題を生ずる。第 1 に、チップサイズに対して約 20% の面積比を占める電極(54、58)は、非活性領域(ダークエリア又は影)となり光取出効率が低減する。第 2 に、透光性材料で形成しても、電極(55)での光減衰量が多い。第 3 に、透光性のサファイア基板(51)での光減衰量は少ないが、サファイア基板(51)をプリント基板(図示せず)に接着する銀ペースト等により光吸収及び光減衰が生ずる。従って、この構造では発光素子内で発生する光の十分な量を外部に取り出すことはできない。

【0005】特開 2000-114595 公報に示される GaN 系化合物半導体発光素子では、ある程度光取出効率を改善できるが、図 9 及び図 10 に示すように、n 型層(62)とのコンタクト面(62a)が発光素子の片側のみに設けられるため、発光素子から放出される光の分布が素子の中央を中心として対称とならず、発光分布が不均一となる傾向がある。また、n 型層(62)に対して電流が

均一に流れず、順バイアス電圧値( $V_f$ )が増加すると共に、サージ耐量が低下する問題が生ずる。

【0006】本発明の目的は、光取出し効率を向上でき且つ発光面全体に均一な配光分布を形成するフリップチップ形半導体発光素子を提供することにある。また、本発明の他の目的は、局所的な電界集中又は電流集中を抑制し、各層でのシリーズ抵抗成分を低減させ、順バイアス電圧値を低減でき・サージ耐圧を増加できるフリップチップ形半導体発光素子を提供することにある。

【0007】

【課題を解決するための手段】本発明によるフリップチップ形半導体発光素子は、光透過性の基板(1)と、基板(1)上に積層された第1の導電型の第1の半導体層(2)と、第1の半導体層(2)上に積層され且つ第1の導電型とは異なる第2の導電型の第2の半導体層(3)と、第1の半導体層(2)に電気的に接続された第1の電極(4)と、第2の半導体層(3)に電気的に接続された第2の電極(5)とを備えている。第2の電極(5)を包囲して配置され且つ第1の半導体層(2)に電気的に接続された第1の接続層(6)を第1の電極(4)に設けるので、第1の半導体層(2)と第2の半導体層(3)との間に流れる電流の通路を大きく広げることができる。また、第1の半導体層(2)と第2の半導体層(3)との間に形成されるPN接合の略全体を介して電流を流すことが可能となる。これにより、均一な配光分布を得ることができると共に、光取出効率を高めることができる。また、第1の半導体層(2)及び第2の半導体層(3)を流れる電流による局所的な電流集中、電界集中を緩和できると共に、電流密度を低減することができる。このため、サージ耐圧を増加することができると共に、電流通路のシリーズ抵抗が低減され、順バイアス電圧値( $V_f$ )を小さくすることも可能となる。

【0008】本発明の実施の形態では、第1の電極(4)は、第1の半導体層(2)の外周に沿って環状に形成された第1の接続層(6)に電気的に接続された第1の電極層(4a)を備え、第2の電極(5)は、第2の半導体層(3)に電気的に接続された第2の接続層(7)と、第2の接続層(7)に電気的に接続された第2の電極層(5a)とを備えている。第1の接続層(6)は、第2の接続層(7)を包囲するように形成してもよい。絶縁層(8)を介して第2の接続層(7)上に形成される第1の電極層(4a)を第2の電極層(5a)と同一の高さに形成してもよい。第1の半導体層(2)は、基板(1)を兼ねてもよい。

【0009】

【発明の実施の形態】以下、Ga<sub>2</sub>N、GaAlN、InGa<sub>2</sub>N、InAlGa<sub>2</sub>N等の窒化ガリウム系化合物半導体発光素子に適用した本発明によるフリップチップ形半導体発光素子の実施の形態を図1～図6について説明する。図1に示す本発明の実施の形態によるフリップチップ形半導体発光素子は、光透過性の又は高透光率で絶縁性の基板としてサファイア基板(1)と、サファイア基板

(1)上に積層された第1の導電型の第1の半導体層としてのn型層(2)と、n型層(2)上に積層された第2の導電型の第2の半導体層となるp型層(3)と、n型層(2)に電気的に接続された第1の電極(4)と、第2の半導体層(3)に電気的に接続された第2の電極(5)とを備えている。詳細には図示しないが、n型層(2)及びp型層(3)は、例えば、Ga<sub>2</sub>Nバッファ層、n型Ga<sub>2</sub>N層、InGa<sub>2</sub>N活性層、p型AlGa<sub>2</sub>N層及びp型Ga<sub>2</sub>N層を順次積層したダブルヘテロ構造又はn-Ga<sub>2</sub>Nのn型バッファ層、Al<sub>1-x</sub>Ga<sub>1-x</sub>Nのn型クラッド層、In<sub>y</sub>Ga<sub>1-y</sub>Nの活性層、Al<sub>1-z</sub>Ga<sub>1-z</sub>Nのp型クラッド層、及びp-Ga<sub>2</sub>Nのp型キャップ層から成る積層構造に形成することができる。この場合に、In、Ga、N等の比率を微妙に変化させた層を何層も堆積させて、発光波長及び発光効率を向上させる場合がある。

【0010】図1に示すように、第1の電極(4)は、第1の半導体層(2)に電気的に接続された第1の接続層(6)と、第1の接続層(6)に電気的に接続された第1の電極層(4a)とを有する。第2の接続層(7)は、第2の半導体層(3)の上面の略全体に形成され、第1の電極層(4a)は、第1の接続層(6)の上面の一部に接続され、絶縁層(8)を介して第2の接続層(7)の上に形成される。第2の電極(5)は、第2の半導体層(3)に電気的に接続された第2の電極層(5a)を有し、第2の接続層(7)の一部に接続される第2の電極層(5a)は、絶縁層(8)を介して第2の接続層(7)の中央側にまで延伸する。また、第2の電極(5)と第1の接続層(6)は絶縁層(8)によって絶縁され、第1の電極層(4a)と第2の電極層(5a)は略同一の高さに形成される。

【0011】第2の半導体層(3)の外周側はエッチングにより除去され、平面的に見て、第1の半導体層(2)は第2の半導体層(3)の外側に環状に露出し、第1の半導体層(2)の露出部分に接続される第1の接続層(6)は、第2の半導体層(3)から離間してかつ第2の半導体層(3)を包囲するように環状に形成される。なお、図1では、第1の半導体層(2)の露出部分を幅広く誇張して示すが、実際の第1の半導体層(2)の露出部分及び第1の接続部(6)の幅は狭い。

【0012】上述のように、第2の半導体層(3)の上面全体に第2の接続層(7)を形成し、また、第2の半導体層(3)を包囲するように第1の接続層(6)を環状に形成することにより、第2の電極層(5a)から第2の接続層(7)及び第1の接続層(6)を通じて第1の電極層(4a)への流れる電流は、第1の半導体層(2)と第2の半導体層(3)との界面に形成されるpn接合の略全体を介して流れる。また、第2の電極層(5a)から第2の接続層(7)及び第1の接続層(6)を通る電流経路に沿って第1の電極層(4a)に電流が流れるが、第1の半導体層(2)の外周縁の略全周に電流経路を形成することができる。

【0013】図1に示すフリップチップ形半導体発光素

子を製造する際に、まず、気相成長又は蒸着によりサファイヤ基板(1)の上にn型層(2)を成長させ、その上にp型層(3)を成長させる。続いて、p型層(3)の外周部の一部をエッチング等により除去した後、n型層(2)の周囲に第1の接続層(6)を形成すると共に、p型層(3)上に第2の接続層(7)を蒸着等により形成する。その後、酸化膜等の絶縁層(8)を成長させて全体を絶縁被覆した後、フォトリソグラフィにより絶縁層(8)の不要部分を除去する。最後に、第1の電極(4)及び第2の電極(5)を形成し、個別にチップ化して、発光素子構造を完成する。

【0014】図3は、図1及び図2に示す本発明によるフリップチップ形半導体発光素子の使用状態を示す。第1の電極(4)及び第2の電極(5)は、金ボールバンプ(12)によりプリント基板(10)のランド(11)に接着される。発光素子の光は、サファイヤ基板(1)を通じて外部に放出されるので、透明電極を使用する必要はないが、第1の電極(4)及び第2の電極(5)に光反射率の高い材料を使用することが望ましい。発光に寄与しないn型層(2)のみの個所の面積を減少するエッチング工程では、p型層(3)の外周部の一部を除去する面積は狭い方が望ましい。但し、除去する面積は、n型層(2)と第1の接続層(6)との接触面積、即ちコンタクト抵抗値に影響を及ぼし、コンタクト抵抗値が大きいと、発光素子の順方向電圧が高くなる。従って、発光素子の電気的特性仕様を満足する最大コンタクト抵抗値に対応して、n型層(2)の外周部面積及び第1の接続層(6)の配線幅を決定することが望ましい。

【0015】金ボールバンプ(12)を介して第1の電極(4)及び第2の電極(5)をプリント基板(10)上に熱圧着して、フリップチップ化を行う際に、圧着力により絶縁層(8)にクラックが生じ、第2の電極(5)を構成する第2の接続層(7)と、n型層(2)上の第1の電極層(4a)とが電氣的に短絡するおそれがある。従って、第1の電極層(4a)と第2の接続層(7)との間に配置される絶縁層(8)の厚さを圧着に耐え得る程度に厚くして、電氣的短絡を抑制することが望ましい。また絶縁層(8)上に堆積させた多結晶シリコン等により、金ボールバンプ(12)との接合時に圧着力を更に緩和することができる。

【0016】図1及び図2に示す実施の形態では、第2の半導体層(3)上に第2の接続層(7)を形成し、第2の接続層(7)に第2の電極(5)を電氣的に接続し、第2の接続層(7)上に絶縁層(8)を介して第1の電極層(4a)及び第2の電極層(5a)を同一の高さで形成することができる。従って、第1の電極層(4a)及び第2の電極層(5a)を同一平面上に且つ十分に大きな面積で配置することができるので、n型層(2)及びp型層(3)の高さを揃えて、金ボールバンプ(12)の接続時に、電極の高さの差に起因する半導体発光素子の軸ズレ・傾きを低減することができる。

【0017】また、図1及び図2に示す実施の形態では、n型層(2)の周囲全体に第1の接続層(6)のオーミッ

クコンタクトを形成できるため、n型層(2)のシリーズ抵抗成分を低減できると共に、均等に拡散して電流が流れるため、順バイアス電圧値( $V_f$ )を低減でき且つ均等な発光分布が得られる。また局所的な電界集中を抑制できるため、サージ耐量の改善効果も期待できる。更に、現行品と異なり、第1の電極(4)の面積を広めに確保できるので、金ボールバンプ(12)による接続の際に、半導体発光素子の位置ズレが発生しても、n型層(2)とp型層(3)とが短絡に至る危険性は少ない。また、第1の電極(4)と第2の電極(5)とを絶縁層(8)により電氣的に分離して、電氣的短絡を確実に防止することができる。

【0018】本発明の前記実施の形態は種々の変更が可能である。サファイヤ基板以外に光透過率の高いn型のガリウム・リン系基板(1)をn型層(2)と一体に形成した構造として第1の半導体層(2)により基板(1)を兼ねたフリップチップ形半導体発光素子の実施の形態を図4及び図5に示す。

【0019】現在フリップチップの接着に用いられる異方性導電ペースト又は異方性導電シート等の異方性導電材を用いて、図6に示す他の実施の形態のように、バンプレスによるフリップチップの接合構造を達成できる。この実施の形態では、n型層(2)上にp型層(3)を形成すると共に、p型層(3)を包囲して第1の接続層(6)をn型層(2)上に形成し、第1の接続層(6)の上に第2の電極層(5a)を形成することができる。この場合、異方性導電材中の導電粒子よりも多少大きめとなる程度まで第1の電極層(5)の面積を縮小できる可能性がある。多面、例えば、角状のp型層(3)の四方を丸めることにより、局所的な電界集中を更に緩和することができる。

【0020】前記の通り、本発明の実施の形態では、第1の電極(4)に設けられる第1の接続層(6)は、n型層(第1の半導体層)(2)に接続され且つ第2の電極(5)の第2の接続層(7)を包囲するので、第2の接続層(7)の略全ての周辺部を通り電流が流れるので、下記の効果が得られる。

【0021】[1] 図2の矢印(13)で示すように、n型層(2)とp型層(3)の間では、略360度の角度範囲で分散して電流経路が形成され、n型層(2)及びp型層(3)を流れる電流による局所的な電流集中及び電界集中を回避することができる。

[2] n型層(2)及びp型層(3)の略全域に通電領域を形成し、n型層(2)及びp型層(3)内の単位断面積当たりの電流密度を低減することができる。

[3] 非通電領域の形成を回避すると共に、平均オン電流値を増加することができる。

[4] 各層でのシリーズ抵抗成分を低減させ、順バイアス電圧値( $V_f$ )を低減でき、サージ耐圧を増加できる。

[5] フリップチップ形半導体発光素子の光取出し効率を向上でき且つ発光面全体に均一な光分布が得られる。

〔6〕 n型層(第1の半導体層)(2)及びp型層(第2の半導体層)(3)を流れる電流による局所的な電流集中及び電界集中を回避することができる。

【0022】

【発明の効果】前記のように、本発明のフリップチップ形半導体発光素子では、分散された経路で電流が流れるので、全オン電流値を増大すると共に、電流集中、電界集中を回避して、動作不良の回避、発光素子の長寿命化及び耐圧向上を図ることができる。

【図面の簡単な説明】

【図1】 本発明による窒化ガリウム系半導体発光素子の実施の形態を示す断面図

【図2】 図1の平面図

【図3】 図1の窒化ガリウム系半導体発光素子をプリント基板に実装した状態を示す断面図

【図4】 本発明による窒化ガリウム系半導体発光素子\*

\*の第2の実施の形態を示す断面図

【図5】 本発明による窒化ガリウム系半導体発光素子の第3の実施の形態を示す図6の5-5線に沿う断面図

【図6】 図5の平面図

【図7】 従来の窒化ガリウム系化合物半導体発光素子を示す図8の7-7線に沿う断面図

【図8】 図7の平面図

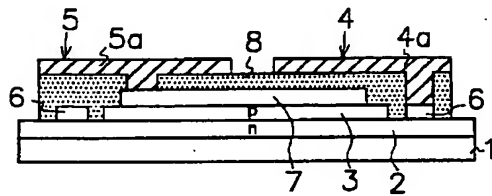
【図9】 従来の他の窒化ガリウム系化合物半導体発光素子を示す断面図

10 【図10】 図9の底面図

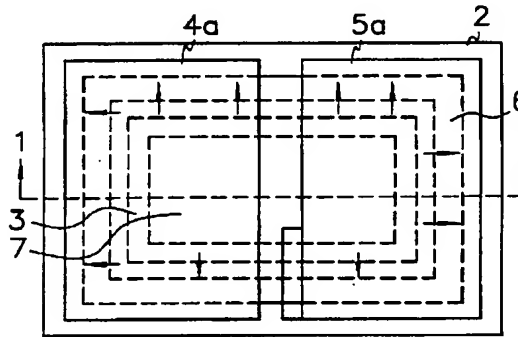
【符号の説明】

(1)・・・基板、(2)・・・第1の半導体層、(3)・・・第2の半導体層、(4)・・・第1の電極、(4a)・・・第1の電極層、(5)・・・第2の電極、(5a)・・・第2の電極層、(6)・・・第1の接続層、(7)・・・第2の接続層、(8)・・・絶縁層、

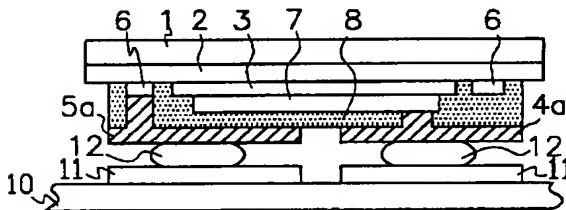
【図1】



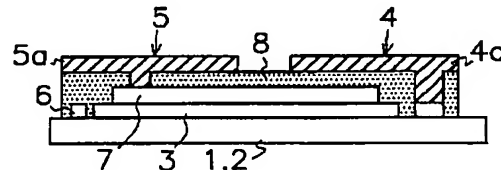
【図2】



【図3】



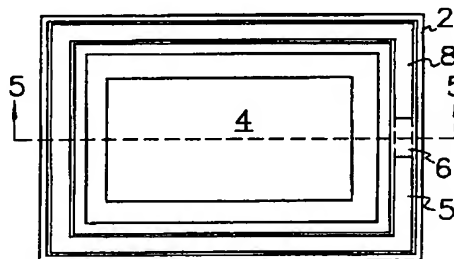
【図4】



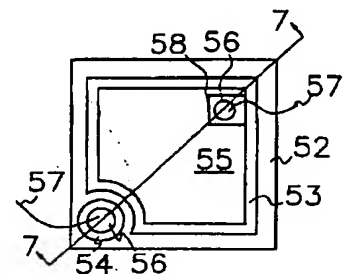
【図5】



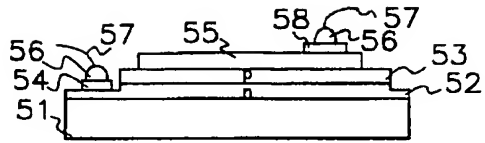
【図6】



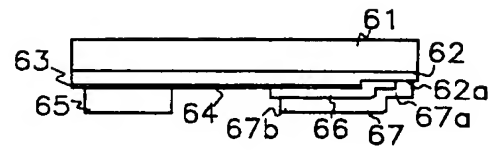
【図8】



【図7】



【図9】



【図10】

